

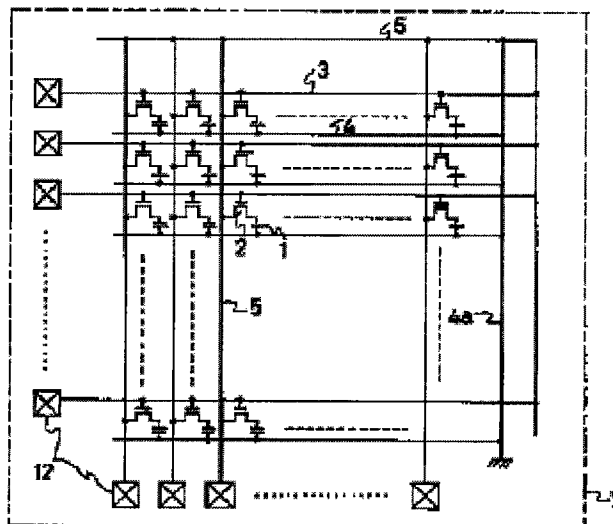
## PRODUCTION OF ACTIVE MATRIX SUBSTRATE

**Patent number:** JP5027258  
**Publication date:** 1993-02-05  
**Inventor:** SHIMADA NAOYUKI; MATSUSHIMA YASUHIRO;  
 YAMASHITA TOSHIHIRO  
**Applicant:** SHARP KK  
**Classification:**  
 - international: **G02F1/133; G02F1/1337; G02F1/1345; G02F1/136;  
 G02F1/1368; H01L27/12; H01L29/78; H01L29/786;  
 G02F1/13; H01L27/12; H01L29/66; (IPC1-7):  
 G02F1/133; G02F1/1337; G02F1/1345; G02F1/136;  
 H01L27/12; H01L29/784**  
 - european:  
**Application number:** JP19910179903 19910719  
**Priority number(s):** JP19910179903 19910719

Report a data error here

### Abstract of JP5027258

**PURPOSE:** To inspect an image display device without disassembling it before the image display device which enables correction is assembled and to perform a rubbing process without any trouble. **CONSTITUTION:** Before the inspection, gate bus lines 3 and source bus lines 5 are wired in a lattice shape, picture elements which have thin film transistors 2 and picture element capacitances 1 are arranged in a matrix in areas encircled with the gate bus lines 3 and source bus lines 5, and external terminals 12 are formed. After the inspection and before the rubbing process, a short-ring conductor 6 which short-circuits the gate bus lines 3, source bus lines 5, and external connection terminals 12 is formed. Consequently, neither the formation of the short-ring conductor 6 nor the assembly of the image display device is performed before the inspection. Therefore, the image display device need not be disassembled at the time of corrections and the inspection is performed without any trouble. Further, the short-ring conductor 6 is formed after the inspection, so the rubbing process can be performed without trouble.



Data supplied from the **esp@cenet** database - Worldwide



特開平5-27258

(43) 公開日 平成5年(1993)2月5日

(51) Int.Cl. <sup>5</sup>	識別記号	片内整理番号	F I	技術表示箇所
G 0 2 F	1/136	5 0 0	9018-2K	
	1/133	5 5 0	7820-2K	
	1/1337	5 0 0	7610-2K	
	1/1345		9018-2K	
			9056-4M	
			H 0 1 L 29/78	3 1 1 A
審査請求 未請求 請求項の数2(全 7 頁) 最終頁に続く				

(21) 出願番号 特願平3-179903

(22) 出願日 平成3年(1991)7月19日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 島田 尚幸

大阪市阿倍野区長池町22番22号 シャープ株式会社内

(72) 発明者 松島 康浩

大阪市阿倍野区長池町22番22号 シャープ株式会社内

(72) 発明者 山下 俊弘

大阪市阿倍野区長池町22番22号 シャープ株式会社内

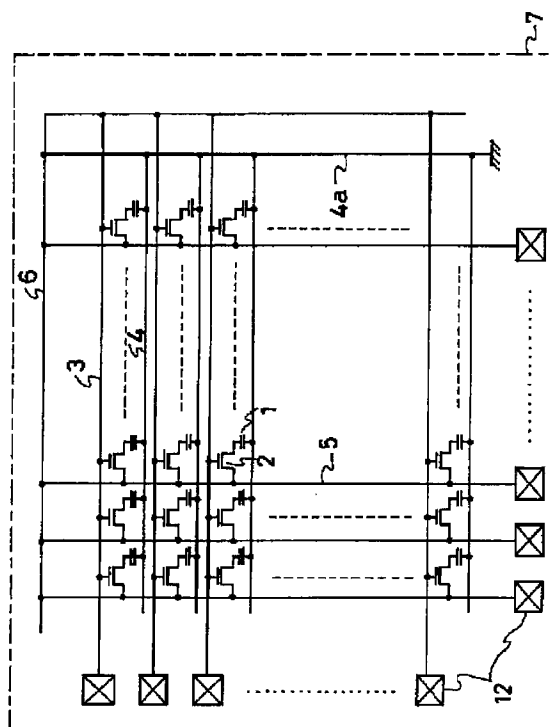
(74) 代理人 弁理士 山本 秀策

(54) 【発明の名称】 アクティブマトリクス基板の製造方法

(57) 【要約】

【目的】 アクティブマトリクス基板において、画像表示装置を分解することなく修正を可能とすべく画像表示装置に組み立てる前に検査でき、しかもラビング処理も支障なく行うことができるようにする。

【構成】 検査前に、ゲートバスライン3及びソースバスライン5を格子状に配線し、該ゲートバスライン3及びソースバスライン5で囲まれた領域に薄膜トランジスタ2及び絵素容量1を有する各絵素をマトリクス状に配設し、かつ外部接続端子12を形成し、検査後かつラビング処理前に、ゲートバスライン3、ソースバスライン5及び外部接続端子12を短絡するショートリング配線6を形成する。このため、検査前には、ショートリング配線6の形成、及び画像表示装置への組立てがまだ行われていない。よって、修正に際して画像表示装置を分解する必要がなく、検査を支障なく行うことができる。また、検査後にショートリング配線6を形成するため、ラビング処理を支障なく行うことができる。



1

## 【特許請求の範囲】

【請求項1】 走査線及び信号線を格子状に配線し、該走査線及び信号線で囲まれた領域にスイッチング素子及び絵素容量を有する各絵素をマトリクス状に配設し、かつ外部接続端子を形成する工程と、

該各絵素の動作を電氣的に検査する工程と、

検査後の該走査線、該信号線及び該外部接続端子を短絡するショートリング配線を形成し、その後にラビング処理を行う工程と、

を含むアクティブマトリクス基板の製造方法。

【請求項2】 前記ショートリング配線が、前記領域に形成される絵素電極と同一の透明導電膜により形成されている請求項1記載のアクティブマトリクス基板の製造方法。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、液晶ディスプレイ等の画像表示装置に主として使用されるアクティブマトリクス基板の製造方法に関する。

【0002】

【従来の技術】 上記アクティブマトリクス基板としては、従来、図5に示すものが知られている。即ち、基板107の上にゲートバスライン103とソースバスライン105とが格子状に配線され、両ライン103、105で囲まれた領域に、電荷を蓄積するための絵素容量101と薄膜トランジスタ102とを有する絵素がマトリクス状に配設されている。絵素容量101の一方の電極には容量配線104が接続され、各容量配線104の一端は共通線104aを介してアースされている。

【0003】 ゲートバスライン103は各薄膜トランジスタ102のゲート電極に接続され、一端に接続した外部接続端子112から与えられる信号に基づいて薄膜トランジスタ102のスイッチング動作を制御する。一方、ソースバスライン105は各薄膜トランジスタ102のソース電極に接続され、一端に接続した外部接続端子112から与えられる表示すべき画像信号を各絵素に書き込む。この動作を具体的に説明すると、複数のゲートバスライン103が順次薄膜トランジスタ102へオン信号を出力すると、横に並んだ1行分の薄膜トランジスタを1グループとして上から下へ1グループずつがオンしていき、そのオン状態の間に、各ソースバスライン105を送られてくる画像信号に応じた電荷が各絵素容量101に書き込まれる。

【0004】 図6は、上記薄膜トランジスタとしてトップゲート型の構造の薄膜トランジスタ（以下TFETと略称する）を用いて作成したアクティブマトリクス基板の構造を示す。この基板の製造は以下のように行う。先ず、透明な絶縁性基板121上にTFETのチャネル用及び絵素容量用の電極となるシリコン薄膜122を形成し、その上にゲート絶縁膜123と、一部をゲート電極

2

124とした多結晶シリコン膜をこの順に形成する。上記シリコン薄膜122中の必要な部分にイオン注入法等で不純物をドーピングし、その後、層間絶縁膜125を形成する。

【0005】 次いで、その層間絶縁膜125とゲート絶縁膜123とを貫通するコンタクトホールを開口し、そのコンタクトホールに一部を挿入した状態で層間絶縁膜125上にA1Si層126を形成する。この場合、前記ゲート電極124の左側にあるA1Si層126部分が前述したソースバスライン105に相当する。更に、このような基板121の上に第2の層間絶縁膜127を形成し、この膜中にコンタクトホールを形成した後、上記第2の層間絶縁膜127の上にITOからなる絵素電極128を形成する。

【0006】 このようにして製造されたアクティブマトリクス基板に対し、表面に透明電極が形成された透明絶縁性基板を対向する状態に配置し、両基板の間に液晶を挟んだ構造とすることにより、上記絵素電極128に与えられた画像信号に対応した情報を表示する液晶ディスプレイが構成される。

【0007】 ところで、アクティブマトリクス基板の検査は、上記液晶ディスプレイ（画像表示装置）の状態にまで形成し、この液晶ディスプレイへ全絵素電極が明、又は暗となる電気信号を与えることにより、所望の表示がなされない欠陥部を光学的に検出している。しかし、この光学的検査による場合には、アクティブマトリクス基板が不良であっても、画像表示装置に組み立てるまでの工程を行わなければ検査できず、また一方で欠陥を検出できても画像表示装置を分解して修正した後に、組み立てなおす必要があり、このためコストが上昇し、また作業性が低下するという問題点があった。

【0008】 そこで、画像表示装置に組み立てる前に、アクティブマトリクス基板を電氣的に検査する方法が提案されている（例えば特開昭64-9375号）。この方法は、各絵素容量にTFETを通じて信号を書き込み、一定時間後にそれを読み出すことにより行う方法であり、絵素容量のもつ電氣的な作用を利用している。なお、書き込んだ信号を再度読み出すことができるのは、TFETの書き込み時の時定数を十分に小さく、かつ保持時の時定数を十分に大きい場合にのみ検査が可能である。

【0009】 このため、書き込み、又は保持の動作に何らかの不良がある場合には、正常な部分から読み出される信号とは異なる信号が読み出される。したがって、上記電氣的検査にあつては、読み出される信号に基づいて絵素が不良であるか否かを判別することができる。また、この電氣的検査方法による場合は、検査が各絵素毎に行われるので不良絵素の場所を特定でき、よって不良箇所を間違えることなく修正することが可能となる。

【0010】

3

【発明が解決しようとする課題】上述のように電氣的に検査されたアクティブマトリクス基板のうち、良品として判定されたものや修正を施されたものは、液晶等の表示媒体を挟んだ画像表示装置に作製する工程に送られ、表示媒体を配向させるためのラビング処理が行われる。しかし、この処理は、基板上に形成されたポリイミド等からなる配向膜を布で擦って行うため、大きな静電気が発生し、これによりTFTが破壊されて不良になるという問題点があった。

【0011】また、このTFTの破壊を防ぐためには、TFT102と接続されている外部接続端子112、ゲートバスライン103及びソースバスライン105をショートリングと呼ばれる配線で電氣的に接続して短絡させ、その状態でラビング処理を行い、ラビング処理後に前記ショートリング配線を切断するという方法が知られている。しかし、この方法を採用した場合には、すべてのバスラインが短絡しているため、前述の電氣的な検査方法を使用できないという問題があった。

【0012】本発明は、このような従来技術の課題を解決すべくなされたものであり、画像表示装置を分解することなく修正を可能とすべく画像表示装置に組み立てる前に検査でき、しかもラビング処理も支障なく行うことができるアクティブマトリクス基板の製造方法を提供することを目的とする。

【0013】

【課題を解決するための手段】本発明に係るアクティブマトリクス基板の製造方法は、走査線及び信号線を格子状に配線し、該走査線及び信号線で囲まれた領域にスイッチング素子及び絵素容量を有する各絵素をマトリクス状に配設し、かつ外部接続端子を形成する工程と、該各絵素の動作を電氣的に検査する工程と、検査後の該走査線、該信号線及び該外部接続端子を短絡するショートリング配線を形成し、その後にラビング処理を行う工程と、を含んでおり、そのことによって上記目的を達することができる。

【0014】

【作用】本発明方法にあっては、検査後かつラビング処理前に、走査線、信号線及び外部接続端子を短絡するショートリング配線を形成するため、検査前にはショートリング配線の形成及び画像表示装置への組立てがまだ行われていない。よって、修正に際して画像表示装置を分解する必要がなく、検査を支障なく行うことができる。また、検査後のアクティブマトリクス基板に対してショートリング配線を形成するため、ラビング処理を支障なく行うことができる。

【0015】

【実施例】図1は本発明方法により製造されるアクティブマトリクス基板の一例を示す等価回路図であり、検査後かつラビング処理前の状態を示す。基板7の上にゲートバスライン3とソースバスライン5とが格子状に配線

4

され、両ライン3、5で囲まれた領域に、電荷を蓄積するための絵素容量1とTFT2とを有する絵素がマトリクス状に配設されている。絵素容量1の一方の電極には容量配線4が接続され、各容量配線4の一端は共通線4aを介してアースされている。

【0016】ゲートバスライン3は各TFT2のゲート電極に接続され、一端（左端）に接続した外部接続端子12から与えられる信号に基づいてTFT2のスイッチング動作を制御する。一方、ソースバスライン5は各TFT2のソース電極に接続され、一端に接続した外部接続端子12から与えられる表示すべき画像信号を各絵素に書き込む。

【0017】前記ゲートバスライン3の他端（右端）の全て、ソースバスライン5の他端（上端）の全て、及び前記共通線4aの一端（上端）は、ショートリング配線6に接続されている。このショートリング配線6は、後述する電氣的な検査を行った後で形成される。

【0018】図2はそのアクティブマトリクス基板の断面構造を示している。このアクティブマトリクス基板の製造は以下のように行う。まず、透明な絶縁性基板21上にTFT2のチャネル電極及び絵素容量1の一方の電極となるシリコン薄膜22を形成し、その上にゲート絶縁膜23と、一部をゲート電極24とし、他の一部を前記絵素容量1の他方の電極24bとした多結晶シリコン膜をこの順に形成する。上記シリコン薄膜22中の必要な部分にイオン注入法等で不純物をドーピングし、その後、層間絶縁膜25を形成する。

【0019】次いで、その層間絶縁膜25とゲート絶縁膜23とを貫通するコンタクトホールを開口し、そのコンタクトホールに一部を挿入した状態で層間絶縁膜25上にA1Si層26を形成する。この場合、前記ゲート電極24の左側にあるA1Si層26部分が前述したソースバスライン5に相当する。更に、このような基板21の上に第2の層間絶縁膜27を形成し、この膜中にコンタクトホールを形成した。

【0020】この状態で、電氣的な検査を行う。即ち、各絵素容量1にTFT2を通じて信号を書き込み、一定時間後にそれを読み出して検査する。上記絵素容量1は、電極24bとシリコン薄膜22との対向部分で形成される。

【0021】上述の検査が終了すると、前記第2の層間絶縁膜27の上に、この膜中に形成されたコンタクトホールに一部を挿入してITO膜を形成し、これをパターニングして絵素電極28及び前記ショートリング配線6を形成する。このショートリング配線6の形成は、例えば図3に示すように行う。ソースバスライン5の端部上に存在する第2の層間絶縁膜27部分を貫いてコンタクトホール27aを開口し、その上にITO膜を形成することによりショートリング配線6を設けた。

【0022】次いで、ショートリング配線6が形成され

5

た基板21上に、ほぼ全面にわたって配向膜（図示せず）を形成し、この配向膜を布等で擦ることによりラビング処理を施した。このとき、ゲートバスライン3、ソースバスライン5、外部接続端子12及び容量配線4が、既に形成されているショートリング配線6を介して短絡されているので、ラビング処理を施す際に大きな静電気が発生せず、TFT2が破壊されることがない。

【0023】その後、ゲートバスライン3のショートリング配線6との接続部近傍を切断し、また同様にソースバスライン5及び共通線4aのショートリング配線6との接続部近傍を切断する。これにより、本実施例のアクティブマトリクス基板が製造される。なお、切断は、ゲートバスライン3、ソースバスライン5及び共通線4aを接続したショートリング配線6の接続点間を切断するようにしてもよい。

【0024】次いで、このアクティブマトリクス基板に、別に用意していた表面に透明電極が形成された透明絶縁性基板を対向させ、両基板間に液晶を挟むことにより液晶ディスプレイが作製される。

【0025】したがって、本発明方法による場合には、検査前には、ショートリング配線6の形成、及び液晶ディスプレイへの組立てがまだ行われていないので、修正に際して液晶ディスプレイを分解する必要がなく、検査を支障なく行うことができる。また、検査後のアクティブマトリクス基板に対してショートリング配線6を形成するため、ラビング処理を施す際に生じる、静電気に起因する不良の発生を抑えることができる。

【0026】上記実施例においてショートリング配線6の形成を絵素電極28と同一工程でITOによって行ったのは、別々に形成する場合に比べて製造工程を簡略化できるからである。但し、アクティブマトリクス基板の動作検査は各絵素のTFT、容量、ゲート及びソースバスラインが形成された状態であれば行うことができるので、絵素電極28の形成後に別の金属等を用いてショートリング配線を形成してもよい。また、絵素電極と同時にショートリング配線を形成する場合であっても、絵素電極とは異なる材料を用いてショートリング配線を形成してもよい。

【0027】なお、上記実施例においては、第2の層間絶縁膜27を形成し、それを貫くコンタクトホールを開口した後に検査を行ったが、検査時期としてはAISI層26を形成した後に行ってもよい。

【0028】また、上記実施例ではトップゲート型のTFTを備えたアクティブマトリクス基板について述べたが、本発明はこれに限定される訳ではなく、ボトムゲート構造のTFTを備えたアクティブマトリクス基板に対しても適用することができるのはもちろんである。

【0029】更に、本発明は、図4に示す等価回路図のアクティブマトリクス基板にも適用が可能である。このアクティブマトリクス基板は、ゲート駆動回路30、ソ

6

ース駆動回路31を内蔵し、ゲート駆動回路30には各ゲートバスライン3の一端（左端）が接続されている。ゲート駆動回路30は、Xスタート、Xクロック、VDD、GND用の各外部接続端子32a、32b、32c、32dを備える。

【0030】ソースバスライン5の一端（下端）側は延長され、その途中に容量配線4に一端を接続したソースバスライン付加容量8の他端が接続され、更に端に寄った箇所にアナログスイッチ9が介装され、このアナログスイッチ9の一方のスイッチ端子にソース駆動回路31が接続され、他方のスイッチ端子にビデオ用外部接続端子34が接続されている。上記ソース駆動回路31は、Yスタート、Yクロック、VDD、GND用の各外部接続端子33a、33b、33c、33dを備える。また、各容量配線4は、共通線4aを介してアースされている。

【0031】なお、検査の後に、上記外部接続端子32a～32d、33a～33d、34に接続してショートリング配線6をアースした状態で形成する。このショートリング配線6は、更に各ゲートバスライン3の他端（右端）及び各ソースバスライン5の他端（上端）とも接続する。

【0032】かかる駆動回路30、31を内蔵するアクティブマトリクス基板においても前実施例と同様に製造することができる。即ち、ショートリング配線6を形成する前に、ゲート駆動回路30、ソース駆動回路31を動作させ、検査信号をビデオ用外部接続端子34からビデオ信号線13、アナログスイッチ9、TFT2を通して絵素容量1へ書き込み、読み出しを行うことにより検査を行う。

【0033】この検査の後に、ITO膜を用いてショートリング配線6を形成し、これにより外部接続端子32a～32d、33a～33d、34、ゲートバスライン3、ソースバスライン5、容量配線4及びソースバスライン付加容量8をすべて電氣的に短絡させる。この状態でラビング処理を行った後、液晶ディスプレイを作製することができる。

【0034】なお、本発明により製造したアクティブマトリクス基板は、上述の液晶ディスプレイに限らず、画像表示装置一般に対して適用できる。

【0035】

【発明の効果】本発明方法によれば、検査前にはショートリング配線の形成、及び画像表示装置への組立てがまだ行われていないので、修正に際して画像表示装置を分解する必要がなく、検査を支障なく行うことができる。また、検査後のアクティブマトリクス基板に対してショートリング配線を形成するため、ラビング処理を支障なく行うことができ、TFT不良となることが少なくなり、歩留りを向上できるという効果がある。

【図面の簡単な説明】

7

8

【図1】本発明方法により製造されるアクティブマトリクス基板の一例を示す等価回路図であり、検査後であってラビング処理前の状態を示している。

【図2】そのアクティブマトリクス基板を示す断面図である。

【図3】そのアクティブマトリクス基板のショートリング配線の一部を示す平面図である。

【図4】本発明の他の実施例であり、駆動回路を内蔵したアクティブマトリクス基板の等価回路図を示す。

【図5】従来のアクティブマトリクス基板の等価回路図を示す。

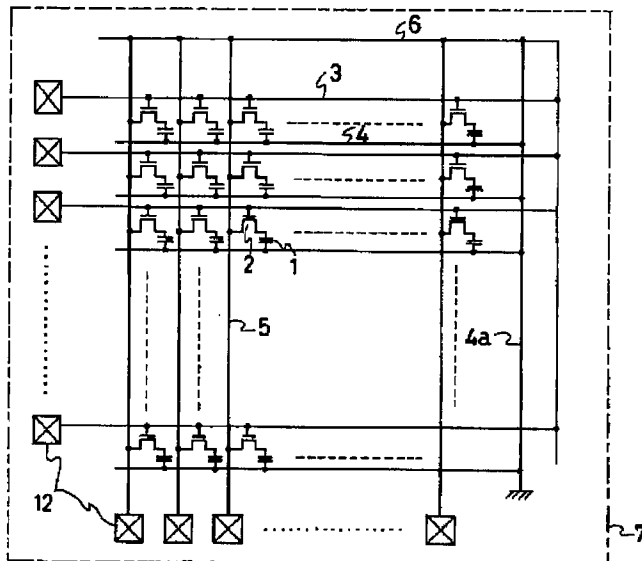
【図6】図5のアクティブマトリクス基板を示す断面図である。

# 【符号の説明】

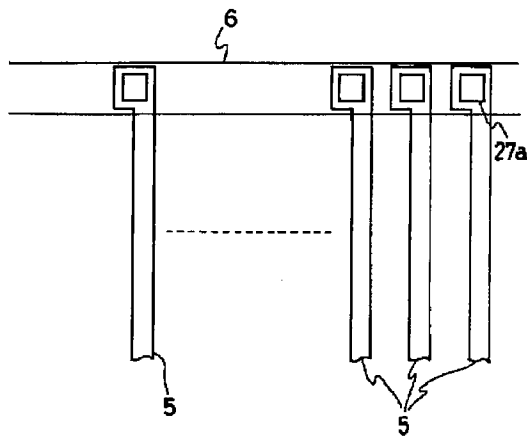
- 1 絵素容量
- 2 TFT
- 3 ゲートバスライン
- 4 容量配線
- 4 a 共通線
- 5 ソースバスライン
- 6 ショートリング配線
- 7 基板
- 8 ソースバスライン付加容量

- 9 アナログスイッチ
- 12 外部接続端子
- 13 ビデオ信号線
- 21 基板
- 22 シリコン層
- 23 ゲート絶縁膜
- 24 a ゲート電極
- 25 層間絶縁膜
- 26 AlSi層
- 27 第2の層間絶縁膜
- 28 絵素電極
- 30 ゲート駆動回路
- 31 ソース駆動回路
- 32 a 外部接続端子
- 32 b 外部接続端子
- 32 c 外部接続端子
- 32 d 外部接続端子
- 33 a 外部接続端子
- 33 b 外部接続端子
- 33 c 外部接続端子
- 33 d 外部接続端子
- 34 外部接続端子

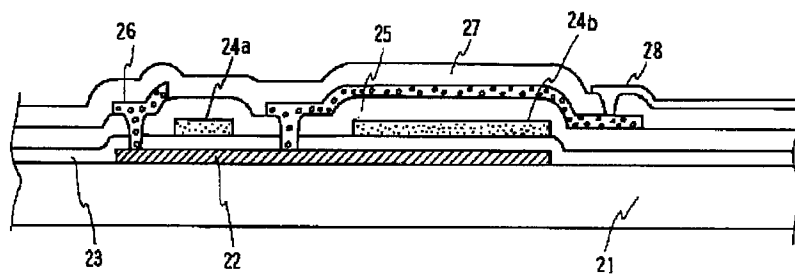
【図1】



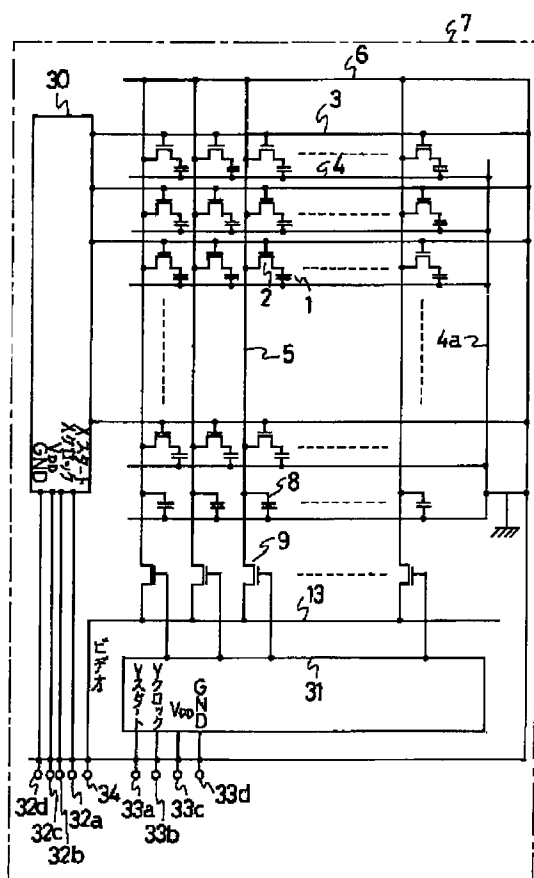
【図3】



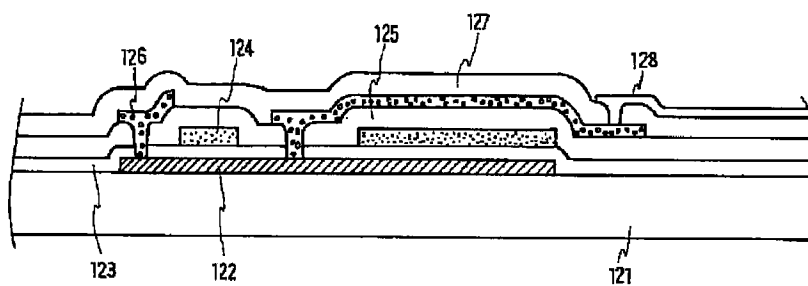
【図2】



【図4】

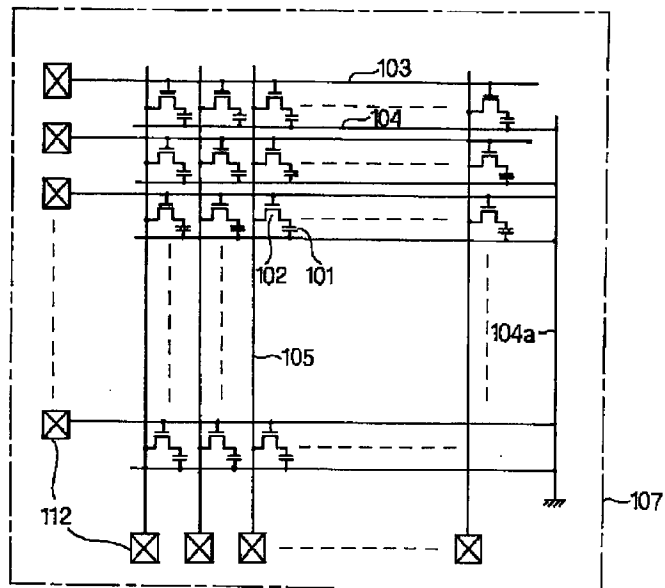


【図6】





【図5】



フロントページの続き

(51)Int. Cl.<sup>5</sup>

H 0 1 L 27/12

29/784

識別記号

片内整理番号

F I

技術表示箇所

A 8728-4M